**DISSENY DIGITAL BÀSIC 2021-2022**

***PRÀCTICA 4: Implementació de sistemes seqüencials i aplicació a circuits lògics - Registres (dies 22,23,24,25,26 de Novembre)***

L’objectiu d’aquesta quarta pràctica és familiaritzar-nos en la implementació i l’ús de sistemes seqüencials i la seva aplicació en circuits lògics. Per fer-ho, implementarem un registre utilitzant tres Flip-Flops D (per flanc de pujada), connectats a tres multiplexors de 4 a 1.

D’aquesta forma, implementareu un circuit amb un registre per paraules de 3 bits i els sistemes combinacionals adients que pugui realitzar les següents funcions:

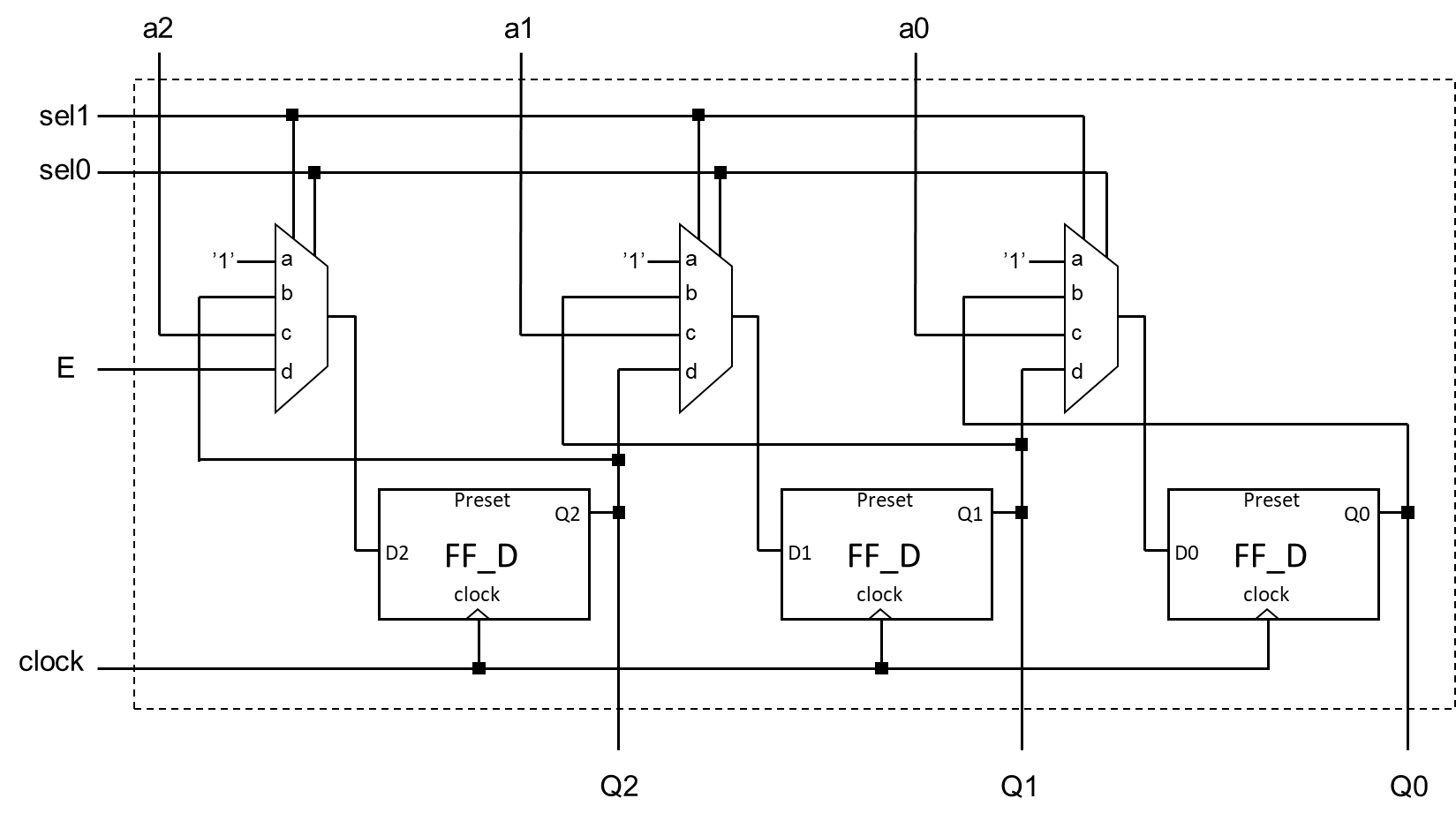
|  |  |  |
| --- | --- | --- |
| **sel1** | **sel0** | **Operació** |
| 0 | 0 | Posta a ’1’ |
| 0 | 1 | Mantenir de la paraula |
| 1 | 0 | Càrrega en paral·lel |
| 1 | 1 | Càrrega en sèrie per l’esquerra |

On cada multiplexor mux4a1 té 4 entrades ***a, b, c, d***, 2 senyals de selecció ***sel1***, ***sel0*** (també com a senyals d’entrada) i una única sortida **z**. La seva taula de la veritat vindrà donada per:

|  |  |  |
| --- | --- | --- |
| ***sel1*** | ***sel0*** | ***f*** |
| 0 | 0 | ***a*** |
| 0 | 1 | ***b*** |
| 1 | 0 | ***c*** |
| 1 | 1 | ***d*** |

Per tant, la sortida serà igual al valor que li entra pel canal seleccionat: ***f*** = a si els senyals de selecció són ***sel1***=0 i ***sel0***=0; ***f*** = ***b*** si els senyals de selecció són ***sel1***=0 i ***sel0***=1; ***f*** = ***c*** si els senyals de selecció són ***sel1***=1 i ***sel0***=0; i per últim, ***f*** = ***d*** si els senyals de selecció són ***sel1***=1 i ***sel0***=1.

L’esquema bàsic del circuit es presenta a continuació:



On les entrades ***Dn*** venen donades pel canal de selecció sel1, sel0 a través de les sortides dels multiplexors.

**Treball a desenvolupar de forma autònoma:**

1. Comproveu el disseny del registre per assegurar-vos del seu correcte funcionament.
2. Definiu l’entitat mux4a1, que és un mulltiplexor de 4 entrades (a, b, c, d), dos canals de selecció (sel1, sel0) i una única sortida (f). Implementeu-lo dos arquitectures: una **logicaretard** i una altra **ifthen**.
3. Definiu l’entitat FF\_D, corresponent a un Flip-Flop D, amb entrades D, clock, Pre (corresponents a l’entrada D, al rellotge i al Preset, respectivament) i una única sortida Q. Afegiu la corresponent arquitectura **ifthen** per tal de que funcioni correctament. Noteu que aquesta vegada us demanem que l’implementeu sense entrada de clear, *Clr*, ni sortida negada, */Q*.
4. Definiu una entitat anomenada registre amb entrades: a2, a1, a0, sel1, sel0, E, clock, i amb les sortides: Q2, Q1, Q0. Feu una arquitectura **estructural** on implementeu el registre, fent les connexions que es mostren a la figura anterior.
5. Escriviu un banc de proves ***bdp*** amb la seva arquitectura ***test*** per tal de comprovar el correcte funcionament d’aquest registre. Feu variar els senyals d’entrada adequadament per tal de veure la funcionalitat (no es necessari veure totes les possibles transicions). Afegiu un comentari explicant els canvis que s’han de veure al cronograma i quan succeeixen.

Haureu de pujar 1 fitxer, SENSE COMPRIMIR, que continguin les següents informacions:

1. Pugeu un fitxer VHD amb les entitats i arquitectures, i el corresponent banc de proves, que heu fet servir. El fitxer es dirà **P4a\_Cognom1\_Cognom2\_Nom.vhd**.

**Aquest és el treball que haureu de pujar a través del campus virtual al menys 48 hores abans de la vostra sessió de pràctiques. Un cop passat aquest temps ja no serà possible pujar els fitxers. Els codis de la part autònoma s’avaluen. Els codis enviats fora del termini de les 48 hores prèvies a les sessions pràctiques es corregiran però no s’avaluaran.**

**Recordeu que totes les trameses de fitxers es faran a través del campus virtual. NO ENVIEU ELS CODIS PER AVALUAR PER CORREU ELECTRÒNIC.**